*****Instituto Politécnico Nacional***

***Escuela Superior de Cómputo***

*Arquitectura de Computadoras*

***Practica 12: Cartas ASM***

***Nombre:*** *Sampayo Hernández Mauro*

***Grupo:*** *3CV8*

***Profesor:*** *Nayeli Vega García*

***Fecha de entrega:*** *18 de abril del 2020*

**Elementos de la Arquitectura**

**Código de Implementación**

* **Unidad de Control**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** UnidadControl **is**

**Port** **(** clk**,** clr**,** INI**,** z**,** A0 **:** **in** STD\_LOGIC**;**

LA**,** LB**,** EA**,** EB**,** EC **:** **out** STD\_LOGIC**);**

**end** UnidadControl**;**

**Architecture** Behavioral **of** UnidadControl **is**

**type** estados **is** **(**e0**,** e1**,** e2**);**

**signal** edo\_act**,** edo\_sig **:** estados**;**

**begin**

**process** **(**clk**,** clr**)**

**begin**

**if** **(**clr **=**'1'**)** **then**

edo\_act **<=** e0**;**

**elsif** **(rising\_edge(**clk**))** **then**

edo\_act **<=** edo\_sig**;**

**end** **if;**

**end** **process;**

**process** **(**edo\_act**,** INI**,** z**,** A0**)**

**begin**

LA **<=** '0'**;**

EA **<=** '0'**;**

LB **<=** '0'**;**

EB **<=** '0'**;**

EC **<=** '0'**;**

**case** edo\_act **is**

**when** e0 **=>**--Estado 0

LB **<=** '1'**;**

**if** **(**INI **=** '1'**)** **then**

edo\_sig **<=** e1**;**

**else**

LA **<=** '1'**;**

edo\_sig **<=** e0**;**

**end** **if;**

**when** e1 **=>**--Estado 1

EA **<=** '1'**;**

**if** **(**z **=** '1'**)** **then**

edo\_sig **<=** e2**;**

**else**

**if** **(**A0 **=** '1'**)** **then**

EB **<=** '1'**;**

**end** **if;**

edo\_sig **<=** e1**;**

**end** **if;**

**when** e2 **=>**--Estado 2

EC **<=** '1'**;**

**if** **(**INI **=** '1'**)** **then**

edo\_sig **<=** e2**;**

**else**

edo\_sig **<=** e0**;**

**end** **if;**

**end** **case;**

**end** **process;**

**end** Behavioral**;**

* **Arreglo**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** Arreglo **is**

**Port** **(** EA**,** LA**,** clk**,** clr **:** **in** STD\_LOGIC**;**

DA **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

QA **:** **out** STD\_LOGIC\_VECTOR **(**8 **downto** 0**));**

**end** Arreglo**;**

**Architecture** Behavioral **of** Arreglo **is**

**begin**

**process** **(**clr**,** clk**)**

**variable** arr **:** std\_logic\_vector**(**8 **downto** 0**);**

**begin**

**if** **(**clr **=** '1'**)** **then**

arr **:=** **(others** **=>** '0'**);**

**elsif** **(rising\_edge(**clk**))** **then**

**if** LA **=** '1' **then**

arr **:=** DA**;**

**elsif** EA **=** '1' **then**

**for** i **in** 0 **to** 8 **loop**

**if** **(**i **>** 7**)** **then**

arr**(**i**):=** '0'**;**

**else**

arr**(**i**):=** arr**(**i**+**1**);**

**end** **if;**

**end** **loop;**

**end** **if;**

**end** **if;**

QA **<=** arr**;**

**end** **process;**

**end** Behavioral**;**

* **Contador**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**use** IEEE**.**STD\_LOGIC\_arith**.ALL;**

**use** IEEE**.**STD\_LOGIC\_unsigned**.all;**

**entity** Contador **is**

**Port** **(** clk**,** clr**,** LB**,** EB **:** **in** STD\_LOGIC**;**

QB **:** **out** STD\_LOGIC\_VECTOR **(**3 **downto** 0**));**

**end** Contador**;**

**Architecture** Behavioral **of** Contador **is**

**begin**

**process** **(**clk**,** clr**)**

**variable** DB **:** STD\_LOGIC\_VECTOR **(**3 **downto** 0**);**

**begin**

**if** **(**clr **=** '1'**)** **then**

DB **:=** "0000"**;**

**elsif** **(rising\_edge(**clk**))** **then**

**if** LB **=** '1' **then**

DB **:=** "0000"**;**

**elsif** EB **=** '1' **then**

DB **:=** DB **+** 1**;**

**end** **if;**

**end** **if;**

QB **<=** DB**;**

**end** **process;**

**end** Behavioral**;**

* **Decodificador**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** Decodificador **is**

**Port** **(** QB **:** **in** STD\_LOGIC\_VECTOR **(**3 **downto** 0**);**

deco **:** **out** STD\_LOGIC\_VECTOR**(**6 **downto** 0**));**

**end** Decodificador**;**

**Architecture** Behavioral **of** Decodificador **is**

**constant** d0**:** STD\_LOGIC\_VECTOR **:=**"0000001"**;**

**constant** d1**:** STD\_LOGIC\_VECTOR **:=**"1001111"**;**

**constant** d2**:** STD\_LOGIC\_VECTOR **:=**"0010010"**;**

**constant** d3**:** STD\_LOGIC\_VECTOR **:=**"0000110"**;**

**constant** d4**:** STD\_LOGIC\_VECTOR **:=**"1001100"**;**

**constant** d5**:** STD\_LOGIC\_VECTOR **:=**"0100100"**;**

**constant** d6**:** STD\_LOGIC\_VECTOR **:=**"0100000"**;**

**constant** d7**:** STD\_LOGIC\_VECTOR **:=**"0001111"**;**

**constant** d8**:** STD\_LOGIC\_VECTOR **:=**"0000000"**;**

**constant** d9**:** STD\_LOGIC\_VECTOR **:=**"0000100"**;**

**constant** di**:** STD\_LOGIC\_VECTOR **:=**"0110110"**;**--ERROR

**begin**

deco **<=** d0 **when** QB **=** x"0" **else**

d1 **when** QB **=** x"1" **else**

d2 **when** QB **=** x"2" **else**

d3 **when** QB **=** x"3" **else**

d4 **when** QB **=** x"4" **else**

d5 **when** QB **=** x"5" **else**

d6 **when** QB **=** x"6" **else**

d7 **when** QB **=** x"7" **else**

d8 **when** QB **=** x"8" **else**

d9 **when** QB **=** x"9" **else**

di**;**

**end** Behavioral**;**

* **Multiplexor**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** Mux **is**

**Port** **(** deco **:** **in** STD\_LOGIC\_VECTOR **(**6 **downto** 0**);**

OP**:** **in** STD\_LOGIC**;**

Q **:** **out** STD\_LOGIC\_VECTOR **(**6 **downto** 0**));**

**end** Mux**;**

**Architecture** Behavioral **of** Mux **is**

**begin**

Q **<=** deco **when** OP **=** '1' **else** "1111110"**;**--guion "-"

**end** Behavioral**;**

* **Bandera Z**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** BanderaZ **is**

**Port** **(** Cz **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

z **:** **out** STD\_LOGIC**);**

**end** BanderaZ**;**

**Architecture** Behavioral **of** BanderaZ **is**

**begin**

z **<=** NOT**(**Cz**(**8**)** OR Cz**(**7**)** OR Cz**(**6**)** OR Cz**(**5**)** OR Cz**(**4**)** OR Cz**(**3**)** OR Cz**(**2**)** OR Cz**(**1**)** OR Cz**(**0**));**

**end** Behavioral**;**

**Código de Simulación**

* **Unidad de Control**

**signal** A0 **:** STD\_LOGIC **:=** '0'**;**

**signal** z **:** STD\_LOGIC **:=** '0'**;**

--Outputs

**signal** LA **:** STD\_LOGIC**;**

**signal** LB **:** STD\_LOGIC**;**

**signal** EA **:** STD\_LOGIC**;**

**signal** EB **:** STD\_LOGIC**;**

**signal** EC **:** STD\_LOGIC**;**

-- Clock period definitions

**constant** CLK\_period **:** time **:=** 10 ns**;**

**begin**

-- Instantiate the Unit Under Test (UUT)

uut**:** UnidadControl

**Port** **Map** **(** clk **=>** clk**,**

clr **=>** clr**,**

INI **=>** INI**,**

A0 **=>** A0**,**

z **=>** z**,**

LB **=>** LB**,**

LA **=>** LA**,**

EA **=>** EA**,**

EB **=>** EB**,**

EC **=>** EC**);**

-- Clock process definitions

CLK\_process **:process**

**begin**

clk **<=** '0'**;**

**wait** **for** CLK\_period**/**2**;**

clk **<=** '1'**;**

**wait** **for** CLK\_period**/**2**;**

**end** **process;**

-- Stimulus process

stim\_proc**:** **process**

**begin**

clr **<=** '1'**;**

**wait** **for** 30 ns**;**

clr **<=** '0'**;**

**wait** **for** 10 ns**;**

--estado 0 -> estado 1

INI **<=** '1'**;**

A0 **<=** '1'**;**

z **<=** '0'**;**

**wait** **for** 50 ns**;**

--estado 1 -> estado 2

INI **<=** '1'**;**

A0 **<=** '0'**;**

z **<=** '1'**;**

**wait** **for** 50 ns**;**

--estado 2 -> estado 0

INI **<=** '0'**;**

**wait** **for** 50 ns**;**

**wait;**

**end** **process;**

**end** Behavioral**;**

* **Arreglo**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** Arreglo\_tb **is**

**end** Arreglo\_tb**;**

**Architecture** Behavioral **of** Arreglo\_tb **is**

**component** Arreglo **is**

**Port** **(** EA**,** LA**,** clk**,** clr **:** **in** STD\_LOGIC**;**

DA **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

QA **:** **out** STD\_LOGIC\_VECTOR **(**8 **downto** 0**));**

**end** **component;**

--Inputs

**signal** clk **:** STD\_LOGIC **:=** '0'**;**

**signal** clr **:** STD\_LOGIC **:=** '0'**;**

**signal** EA **:** STD\_LOGIC **:=** '0'**;**

**signal** LA **:** STD\_LOGIC **:=** '0'**;**

**signal** DA **:** STD\_LOGIC\_VECTOR **(**8 **downto** 0**)** **:=** **(others** **=>** '1'**);**

--Outputs

**signal** QA **:** STD\_LOGIC\_VECTOR**(**8 **downto** 0**);**

-- Clock period definitions

**constant** CLK\_period **:** time **:=** 10 ns**;**

**begin**

-- Instantiate the Unit Under Test (UUT)

uut**:** Arreglo

**Port** **Map** **(** clk **=>** clk**,**

clr **=>** clr**,**

EA **=>** EA**,**

LA **=>** LA**,**

DA **=>** DA**,**

QA **=>** QA**);**

-- Clock process definitions

CLK\_process **:process**

**begin**

clk **<=** '0'**;**

**wait** **for** CLK\_period**/**2**;**

clk **<=** '1'**;**

**wait** **for** CLK\_period**/**2**;**

**end** **process;**

-- Stimulus process

stim\_proc**:** **process**

**begin**

LA **<=** '1'**;**

**wait** **for** 10 ns**;**

LA **<=** '0'**;**

**wait** **for** 10 ns**;**

clr **<=** '1'**;**

**wait** **for** 10 ns**;**

clr **<=** '0'**;**

**wait** **for** 10 ns**;**

LA **<=** '1'**;**

**wait** **for** 10 ns**;**

LA **<=** '0'**;**

**wait** **for** 10 ns**;**

EA **<=** '1'**;**

**wait** **for** 30 ns**;**

EA **<=** '0'**;**

**wait** **for** 10 ns**;**

EA **<=** '1'**;**

**wait** **for** 30 ns**;**

EA **<=** '0'**;**

**wait** **for** 10 ns**;**

**wait;**

**end** **process;**

**end** Behavioral**;**

* **Contador**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** Contador\_tb **is**

**end** Contador\_tb**;**

**Architecture** Behavioral **of** Contador\_tb **is**

**component** Contador **is**

**Port** **(** clk**,** clr**,** LB**,** EB **:** **in** STD\_LOGIC**;**

QB **:** **out** STD\_LOGIC\_VECTOR **(**3 **downto** 0**));**

**end** **component;**

--Inputs

**signal** clk **:** STD\_LOGIC **:=** '0'**;**

**signal** clr **:** STD\_LOGIC **:=** '0'**;**

**signal** LB **:** STD\_LOGIC **:=** '0'**;**

**signal** EB **:** STD\_LOGIC **:=** '0'**;**

--Outputs

**signal** QB **:** STD\_LOGIC\_VECTOR**(**3 **downto** 0**);**

-- Clock period definitions

**constant** CLK\_period **:** time **:=** 10 ns**;**

**begin**

-- Instantiate the Unit Under Test (UUT)

uut**:** Contador

**Port** **Map** **(** clk **=>** clk**,**

clr **=>** clr**,**

LB **=>** LB**,**

EB **=>** EB**,**

QB **=>** QB**);**

-- Clock process definitions

CLK\_process **:process**

**begin**

clk **<=** '0'**;**

**wait** **for** CLK\_period**/**2**;**

clk **<=** '1'**;**

**wait** **for** CLK\_period**/**2**;**

**end** **process;**

-- Stimulus process

stim\_proc**:** **process**

**begin**

clr **<=** '1'**;**

**wait** **for** 30 ns**;**

clr **<=** '0'**;**

**wait** **for** 30 ns**;**

LB **<=** '0'**;**

EB **<=** '1'**;**

**wait** **for** 100 ns**;**

EB **<=** '1'**;**

**wait** **for** 100 ns**;**

EB **<=** '0'**;**

LB **<=** '1'**;**

**wait** **for** 100 ns**;**

clr **<=** '1'**;**

**wait** **for** 30 ns**;**

clr **<=** '0'**;**

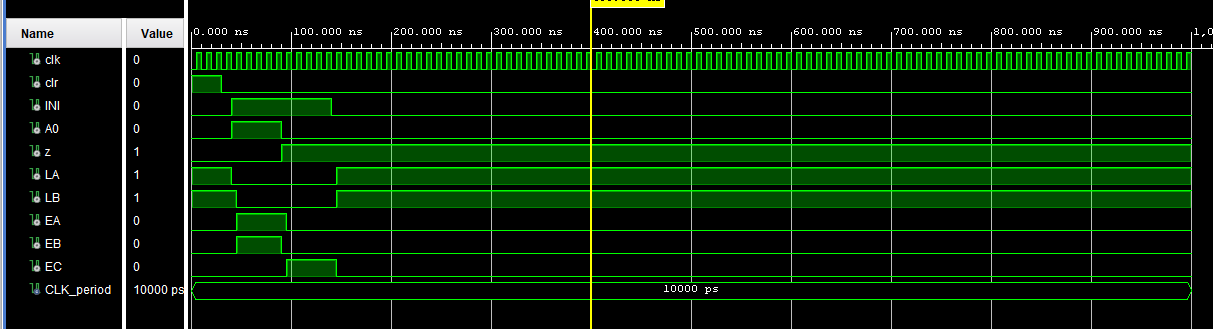
**wait;**

**end** **process;**

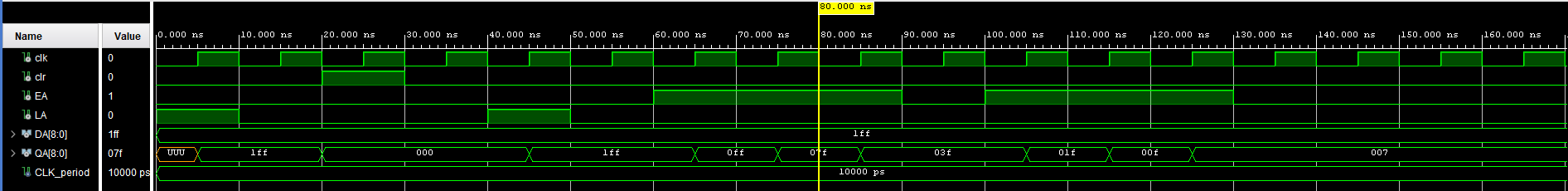
**end** Behavioral**;**

**Simulación:**

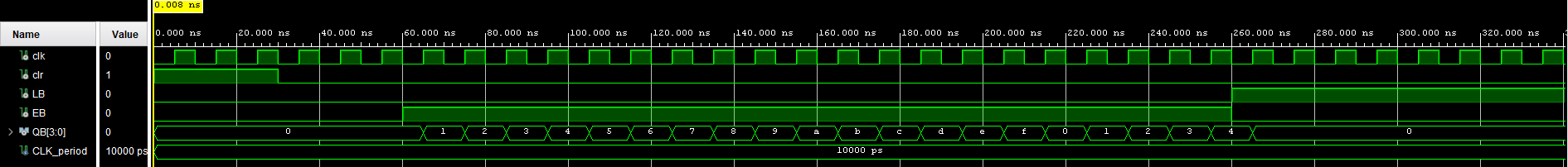
* **Unidad de Control**



* **Arreglo**

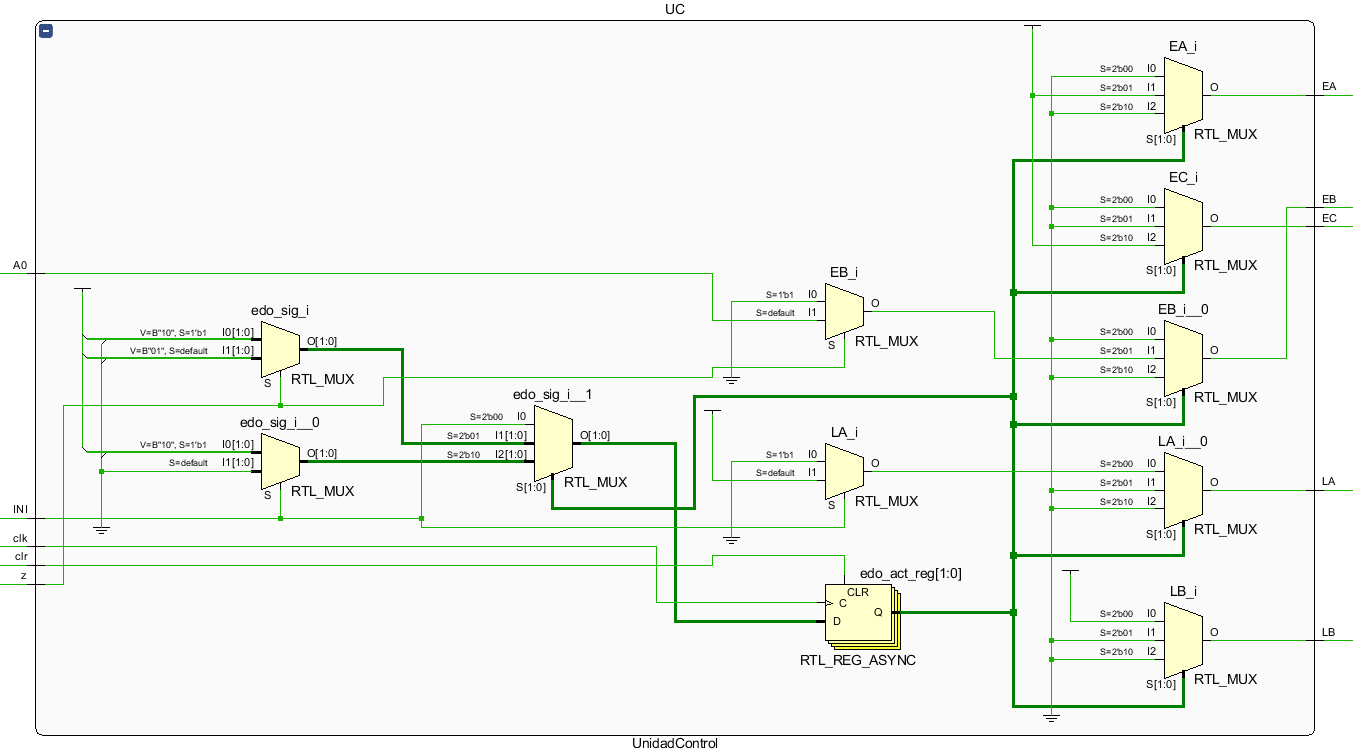


* **Contador**

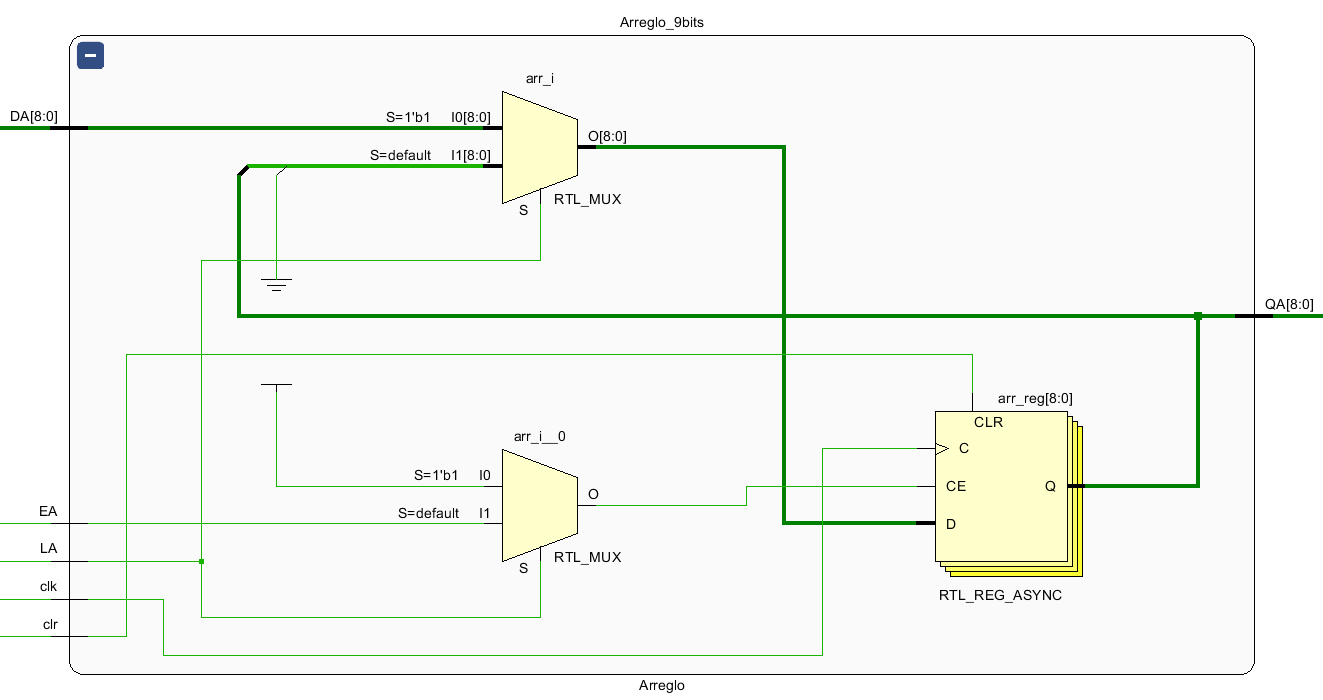


**Diagrama RTL:**

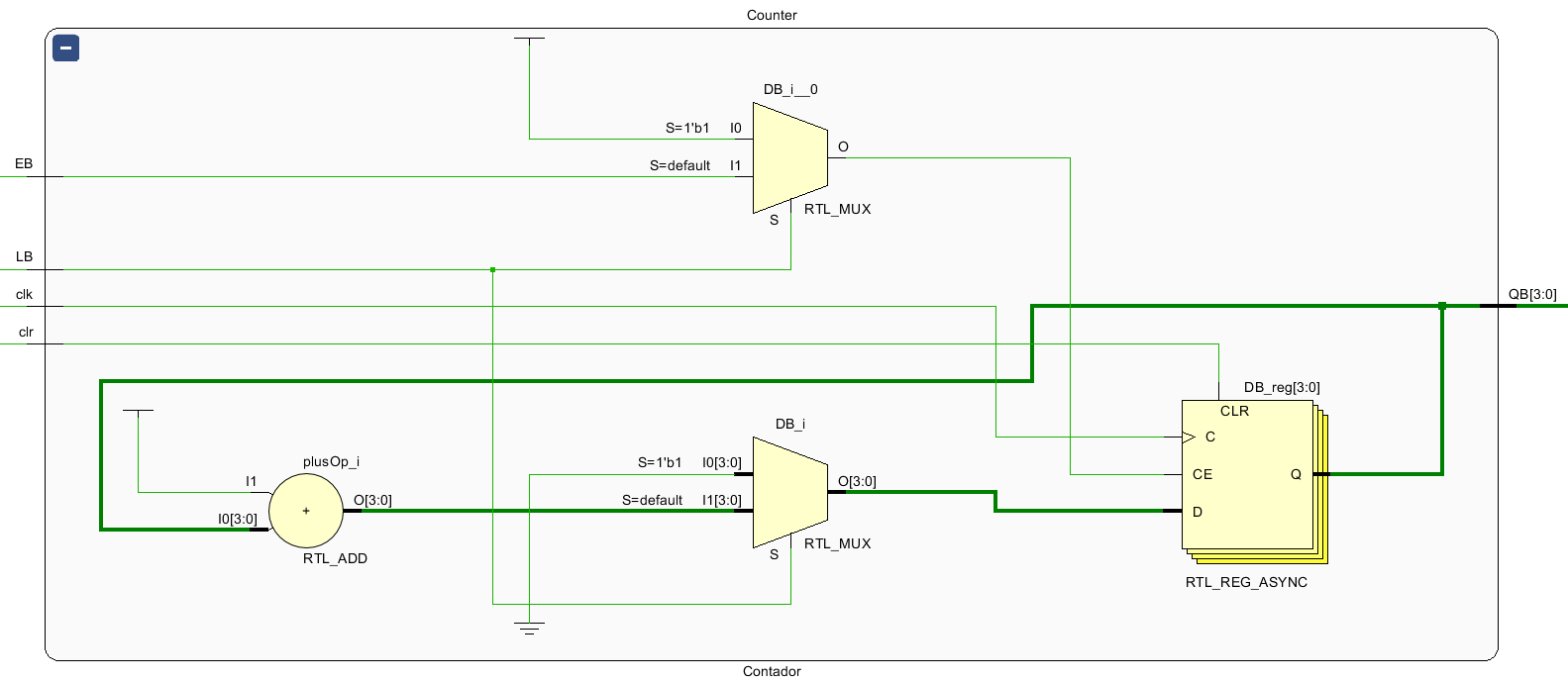
* **Unidad de Control**



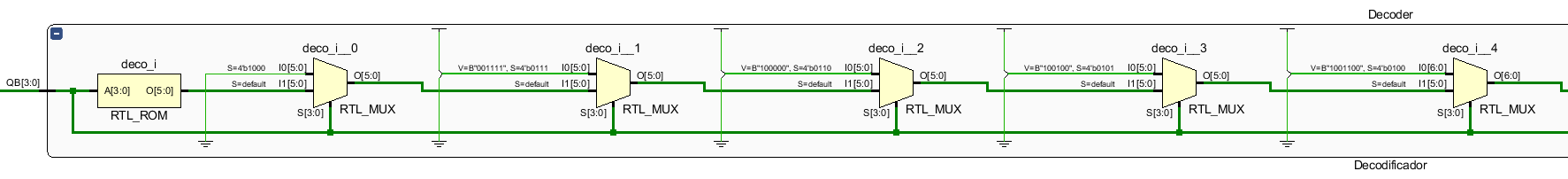
* **Arreglo**

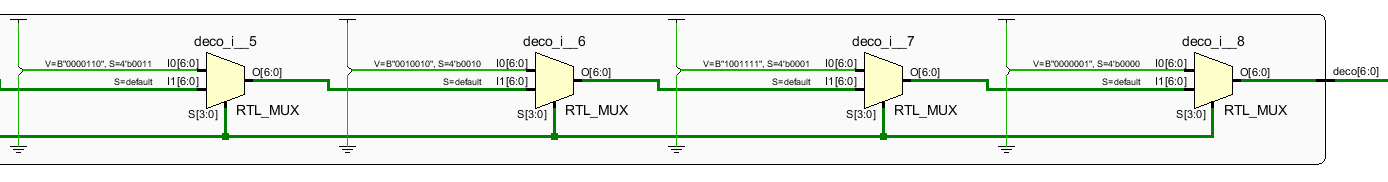


* **Contador**

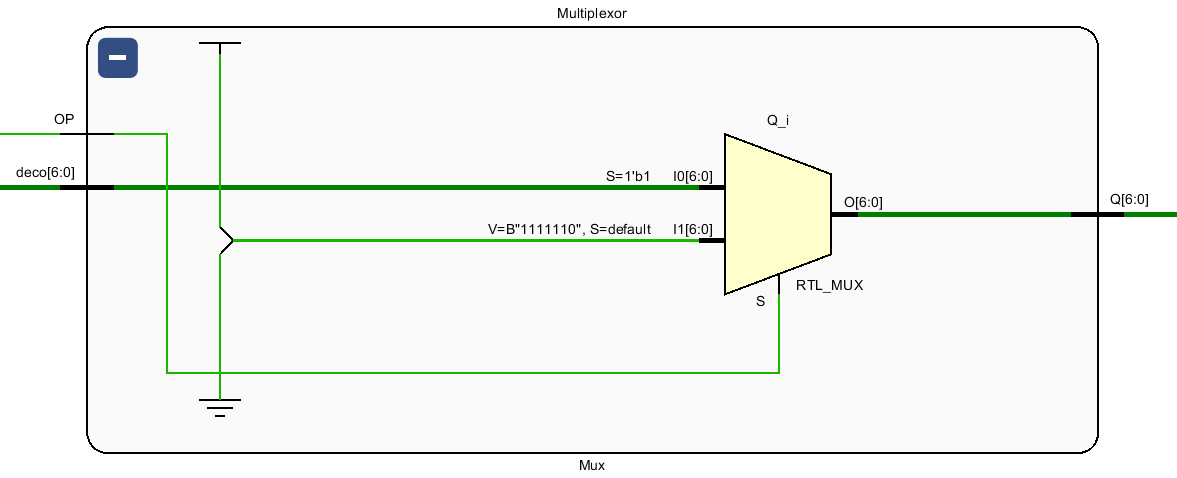


* **Decodificador**

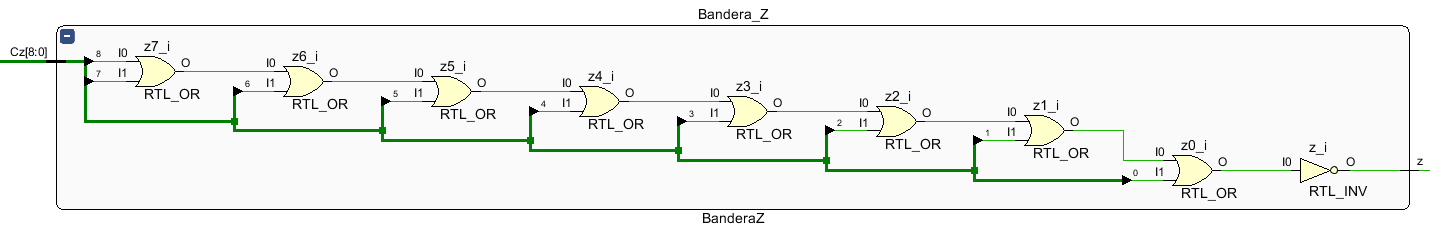




* **Multiplexor**



* **Bandera Z**



**Arquitectura Completa**

**Código de Implementación**

**library** IEEE**;**

**use** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** cartaASM **is**

**Port** **(** INI**,** clk**,** clr **:** **in** STD\_LOGIC**;**

D **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

A **:** **out** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**--Salida Arreglo

B **:** **out** STD\_LOGIC\_VECTOR **(**6 **downto** 0**));**--Salida Display(Mux)

**end** cartaASM**;**

**Architecture** Behavioral **of** cartaASM **is**

**component** Arreglo **is**

**Port** **(** EA**,** LA**,** clk**,** clr **:** **in** STD\_LOGIC**;**

DA **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

QA **:** **out** STD\_LOGIC\_VECTOR **(**8 **downto** 0**));**

**end** **component;**

**component** Contador **is**

**Port** **(** clk**,** clr**,** LB**,** EB **:** **in** STD\_LOGIC**;**

QB **:** **out** STD\_LOGIC\_VECTOR **(**3 **downto** 0**));**

**end** **component;**

**component** Decodificador **is**

**Port** **(** QB **:** **in** STD\_LOGIC\_VECTOR **(**3 **downto** 0**);**

deco **:** **out** STD\_LOGIC\_VECTOR**(**6 **downto** 0**));**

**end** **component;**

**component** Mux **is**

**Port** **(** deco **:** **in** STD\_LOGIC\_VECTOR **(**6 **downto** 0**);**

OP**:** **in** STD\_LOGIC**;**

Q **:** **out** STD\_LOGIC\_VECTOR **(**6 **downto** 0**));**

**end** **component;**

**component** UnidadControl **is**

**Port** **(** clk**,** clr**,** INI**,** z**,** A0 **:** **in** STD\_LOGIC**;**

LA**,** LB**,** EA**,** EB**,** EC **:** **out** STD\_LOGIC**);**

**end** **component;**

**component** BanderaZ **is**

**Port** **(** Cz **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

z **:** **out** STD\_LOGIC**);**

**end** **component;**

**signal** A0**,** z**,** LA**,** LB**,** EA**,** EB**,** EC**:** STD\_LOGIC**;**

**signal** B1**:** STD\_LOGIC\_VECTOR**(**3 **DOWNTO** 0**);**

**signal** Cz**:** STD\_LOGIC\_VECTOR**(**8 **downto** 0**);**

**signal** B\_aux**:** STD\_LOGIC\_VECTOR**(**6 **downto** 0**);**--auxiliar de la salida del Dsiplay(B) para evitar corto circuito uwu

**begin**

A **<=** Cz**;**

A0 **<=** Cz**(**0**);**

Bandera\_Z **:** BanderaZ

**Port** **map(** Cz **=>** Cz**,**

z **=>** z**);**

UC **:** UnidadControl

**Port** **Map(** clk **=>** clk**,**

clr **=>** clr**,**

INI **=>** INI**,**

A0 **=>** A0**,**

z **=>** z**,**

LA **=>** LA**,**-- A=D

LB **=>** LB**,**-- B=0

EA **=>** EA**,**-- A>>1

EB **=>** EB**,**-- B++

EC **=>** EC**);**-- Mostrar B

Counter **:** Contador

**Port** **Map(** clk **=>** clk**,**

clr **=>** clr**,**

LB **=>** LB**,**

EB **=>** EB**,**

QB **=>** B1**);**

Arreglo\_9bits **:** Arreglo

**Port** **MAP(** clk **=>** clk**,**

clr **=>** clr**,**

DA **=>** D**,**

EA **=>** EA**,**

LA **=>** LA**,**

QA **=>** Cz**);**

Decoder**:** Decodificador

**Port** **Map(** QB **=>** B1**,**

deco **=>** B\_aux**);**

Multiplexor**:** Mux

**Port** **Map(** deco **=>** B\_aux**,**

OP **=>** EC**,**

Q **=>** B**);**

**end** Behavioral**;**

**Código de Simulación**

**LIBRARY** IEEE**;**

**USE** IEEE**.**STD\_LOGIC\_1164**.ALL;**

**entity** cartaASM\_tb **is**

**end** cartaASM\_tb**;**

**Architecture** Behavioral **of** cartaASM\_tb **is**

**component** cartaASM **is**

**Port** **(** INI**,** clk**,** clr **:** **in** STD\_LOGIC**;**

D **:** **in** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

A **:** **out** STD\_LOGIC\_VECTOR **(**8 **downto** 0**);**

B **:** **out** STD\_LOGIC\_VECTOR **(**6 **downto** 0**));**

**end** **component;**

--Inputs

**signal** clk **:** STD\_LOGIC **:=** '0'**;**

**signal** clr **:** STD\_LOGIC **:=** '0'**;**

**signal** INI **:** STD\_LOGIC **:=** '0'**;**

**signal** D **:** STD\_LOGIC\_VECTOR**(**8 **downto** 0**)** **:=** **(others** **=>** '0'**);**

--Outputs

**signal** A **:** STD\_LOGIC\_VECTOR**(**8 **downto** 0**);**

**signal** B **:** STD\_LOGIC\_VECTOR**(**6 **downto** 0**);**

-- Clock period definitions

**constant** CLK\_period **:** time **:=** 10 ns**;**

**begin**

-- Instantiate the Unit Under Test (UUT)

uut**:** cartaASM

**Port** **Map** **(** clk **=>** clk**,**

clr **=>** clr**,**

INI **=>** INI**,**

D **=>** D**,**

A **=>** A**,**

B **=>** B**);**

-- Clock process definitions

CLK\_process **:process**

**begin**

clk **<=** '0'**;**

**wait** **for** CLK\_period**/**2**;**

clk **<=** '1'**;**

**wait** **for** CLK\_period**/**2**;**

**end** **process;**

-- Stimulus process

stim\_proc**:** **process**

**begin**

clr **<=** '1'**;**

**wait** **for** 10 ns**;**

clr **<=** '0'**;**

d **<=** "101101011"**;**-- inciso a

**wait** **for** 50 ns**;**

ini **<=** '1'**;**

**wait** **for** 150 ns**;**

ini **<=** '0'**;**

d **<=** "000011101"**;**--inciso b

**wait** **for** 50 ns**;**

ini **<=** '1'**;**

**wait** **for** 150 ns**;**

ini **<=** '0'**;**

d **<=** "000010000"**;**--inciso c

**wait** **for** 50 ns**;**

ini **<=** '1'**;**

**wait** **for** 150 ns**;**

ini **<=** '0'**;**

d **<=** "100001000"**;**--inciso d

**wait** **for** 50 ns**;**

ini **<=** '1'**;**

**wait** **for** 150 ns**;**

ini **<=** '0'**;**

d **<=** "000000000"**;**--inciso e

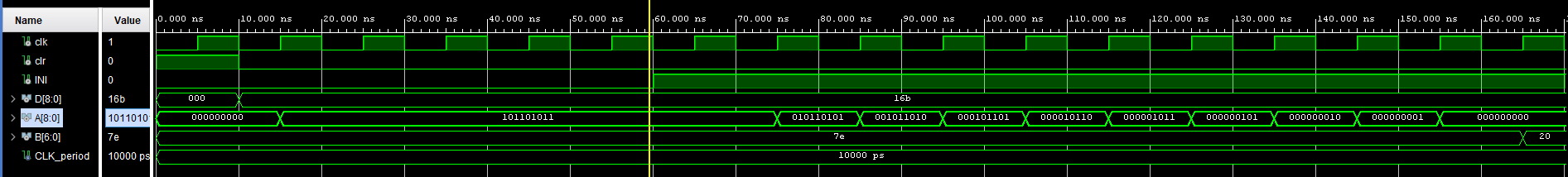
**wait** **for** 50 ns**;**

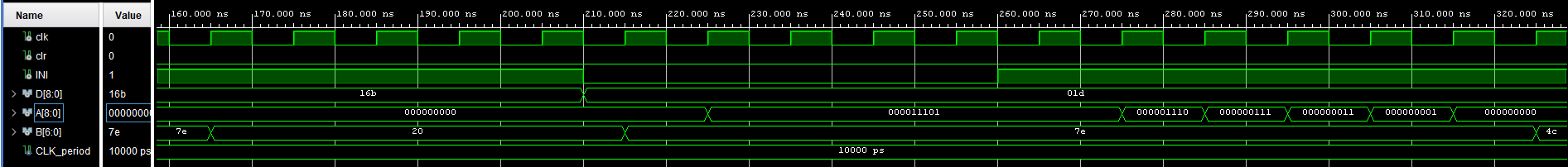
**wait;**

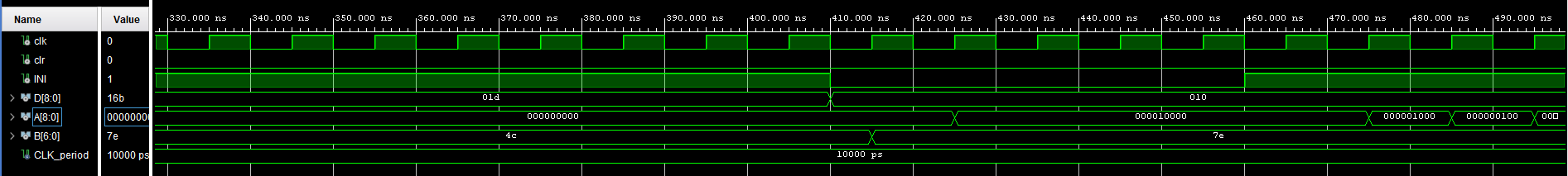
**end** **process;**

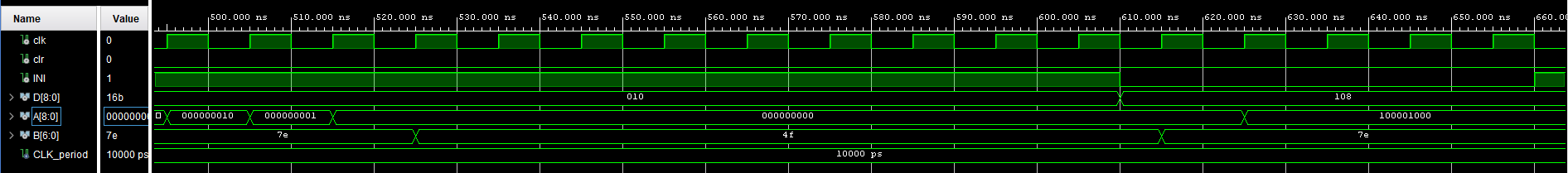
**end** Behavioral**;**

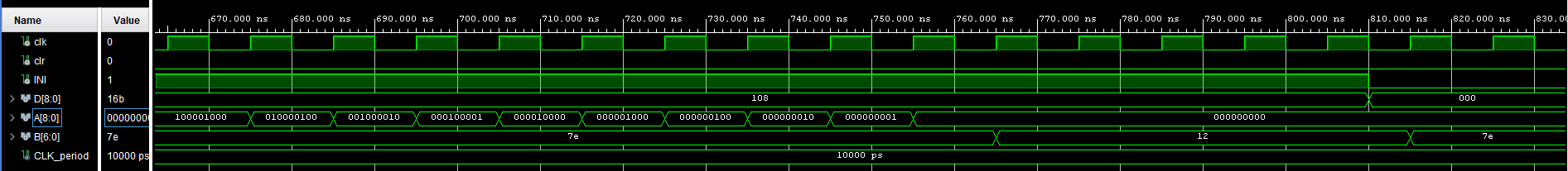
**Simulación:**

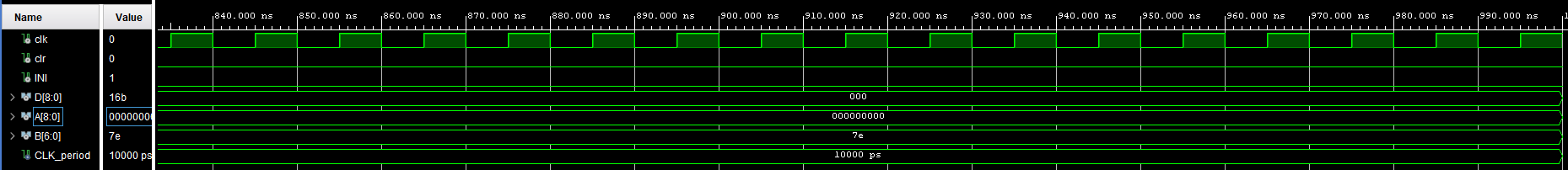












**Diagrama RTL:**

